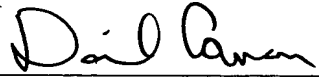


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Hirotoshi Shimizu  
Serial No.:  
Conf. No.:  
Filed: 4/21/2004  
For: DISPLAY CONTROL DEVICE  
Art Unit:  
Examiner:

*I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: MS Patent Application, Commissioner for Patents, Alexandria, VA 22313-1450, on this date.*

4/21/04  
Date

  
Express Mail No. EV032736114US

CLAIM FOR PRIORITY

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicant claims priority benefits under 35 U.S.C. § 120 on the basis of the

PCT application identified below:

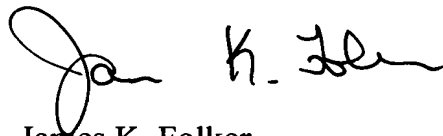
PCT Patent Application No. PCT/JP01/09395, filed October 25, 2001

A certified copy of the earlier application is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By



James K. Folker  
Registration No. 37,538

April 21, 2004

300 South Wacker Drive  
Suite 2500  
Chicago, Illinois 60606  
Telephone: 312.360.0080  
Facsimile: 312.360.9315

3169.70340  
312.360.0080

# 日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類は下記の出願書類の謄本に相違ないことを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application: 2001年10月25日

出 願 番 号

Application Number: PCT/JP01/09395

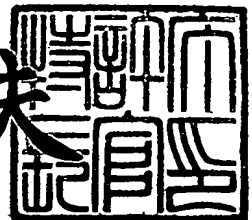
出 願 人

Applicant (s): 富士通株式会社  
清水 浩利

2003 年 12 月 18 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証平 15-500374

# 受理官庁用写し

1/3

特許協力条約に基づく国際出願願書

0151771-1246

原本（出願用） - 印刷日時 2001年10月25日（25. 10. 2001）木曜日 15時01分02秒

0	受理官庁記入欄	
0-1	国際出願番号:	PCT/JP 01/09395
0-2	国際出願日	25.10.01
0-3	(受付印)	PCT International Application 日本国特許庁
0-4	様式-PCT/RO/101 この特許協力条約に基づく国際出願願書は、 右記によって作成された。	PCT-EASY Version 2.92 (updated 01. 03. 2001)
0-5	申立て 出願人は、この国際出願が特許協力条約に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (RO/JP)
0-7	出願人又は代理人の書類記号	0151771-1246
I	発明の名称	表示制御装置
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除くすべての指定国 (all designated States except US)
II-4ja	名称	富士通株式会社
II-4en	Name	FUJITSU LIMITED
II-5ja	あて名:	211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号
II-5en	Address:	1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
II-6	国籍 (国名)	日本国 JP
II-7	住所 (国名)	日本国 JP
III-1	その他の出願人又は発明者	
III-1-1	この欄に記載した者は	出願人及び発明者である (applicant and inventor)
III-1-2	右の指定国についての出願人である。	米国のみ (US only)
III-1-4ja	氏名 (姓名)	清水 浩利
III-1-4en	Name (LAST, First)	SHIMIZU, Hirotooshi
III-1-5ja	あて名:	211-8588 日本国 神奈川県 川崎市中原区 上小田中4丁目1番1号 富士通株式会社内
III-1-5en	Address:	c/o FUJITSU LIMITED 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
III-1-6	国籍 (国名)	日本国 JP
III-1-7	住所 (国名)	日本国 JP

## 特許協力条約に基づく国際出願願書

0151771-1246

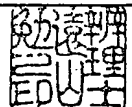
原本（出願用） - 印刷日時 2001年10月25日（25. 10. 2001）木曜日 15時01分02秒

IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において下記のごとく出願人のために行動する。	代理人 (agent)	
IV-1-1ja	氏名(姓名)	遠山 勉	
IV-1-1en	Name (LAST, First)	TOYAMA, Tsutomu	
IV-1-2ja	あて名:	103-0004 日本国 東京都 中央区 東日本橋3丁目4番10号ヨコヤマビル6階	
IV-1-2en	Address:	Yokoyama Building 6th floor, 4-10, Higashi Nihonbashi 3-chome, Chuo-ku, Tokyo 103-0004 Japan	
IV-1-3	電話番号	03-3669-6571	
IV-1-4	ファクシミリ番号	03-3669-6573	
IV-2	その他の代理人	筆頭代理人と同じあて名を有する代理人 (additional agent(s) with same address as first named agent)	
IV-2-1ja	氏名	松倉 秀実	
IV-2-1en	Name (s)	MATSUKURA, Hidemi	
V	国の指定		
V-1	広域特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	---	
V-2	国内特許 (他の種類の保護又は取扱いを求める場合には括弧内に記載する。)	JP US	
V-5	指定の確認の宣言 出願人は、上記の指定に加えて、規則4.9(b)の規定に基づき、特許協力条約のもとで認められる他の全ての国の指定を行う。ただし、V-6欄に示した国の指定を除く。出願人は、これらの追加される指定が確認を条件としていること、並びに優先日から15月が経過する前にその確認がなされない指定は、この期間の経過時に、出願人によって取り下げられたものとみなされることを宣言する。		
V-6	指定の確認から除かれる国	なし (NONE)	
VI	優先権主張	なし (NONE)	
VII-1	特定された国際調査機関 (ISA)	日本国特許庁 (ISA/JP)	
VIII	申立て	申立て数	
VIII-1	発明者の特定に関する申立て	-	
VIII-2	出願し及び特許を与えられる国際出願日における出願人の資格に関する申立て	-	
VIII-3	先の出願の優先権を主張する国際出願日における出願人の資格に関する申立て	-	
VIII-4	発明者である旨の申立て (米国を指定国とする場合)	-	
VIII-5	不利にならない開示又は新規性喪失の例外に関する申立て	-	

## 特許協力条約に基づく国際出願願書

0151771-1246

原本（出願用） - 印刷日時 2001年10月25日（25. 10. 2001）木曜日 15時01分02秒

IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書（申立てを含む）	3	-
IX-2	明細書	14	-
IX-3	請求の範囲	2	-
IX-4	要約	1	0151771-1246_abstract.txt
IX-5	図面	8	-
IX-7	合計	28	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	✓	-
IX-9	個別の委任状の原本	✓	-
IX-11	包括委任状の写し	✓	-
IX-17	PCT-EASYディスク	-	フレキシブルディスク
IX-18	その他	納付する手数料に相当する特許印紙を貼付した書面	-
IX-18	その他	国際事務局の口座への振込みを証明する書面	-
IX-19	要約書とともに提示する図の番号	4	
IX-20	国際出願の使用言語名:	日本語	
X-1	提出者の記名押印		
X-1-1	氏名(姓名)		

## 受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	25.10.01
10-2	図面:	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日（訂正日）	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

## 国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

## 明 細 書

## 表示制御装置

## 技術分野

本発明は、C R Tディスプレイ及び液晶ディスプレイ(L C D)に映像データを転送する表示制御装置に関する。

## 背景技術

従来、パーソナルコンピュータ(P C)やオフィスコンピュータ等の汎用コンピュータの分野では、L C Dインタフェースを内蔵した表示制御装置(L C Dコントローラ)によりL C Dに画像を表示するノートパソコンやL C Dディスプレイをデジタル接続したパーソナルコンピュータ／オフィスコンピュータがある。

最近の傾向として、L C Dを使用したノート型P Cや、標準装備にL C Dを採用したデスクトップ型P Cが主流な商品として市場に供給されるケースが増えている。また、P Cの価格低下によって、P Cが家庭で使用される割合が年々増大している。

家庭で使用されるP Cに適用されるV C C I (Voluntary Control Council for Interference by Information Tecnology Equipment : 情報処理装置等電波障害自主規制協議会)の規格は、“C L A S S - B”という厳しいものとなっており、P Cからの電磁放射によるE M I (ElectroMagnetic Interference : 電磁妨害)ノイズへの対策が必須項目となっている。

図7及び図8は、P Cに搭載されるL C Dコントローラの例を示す図である。表示装置としてL C Dを使用する(L C D用のディスプレイ・インターフェイス・コネクタを実装する)P Cは、一般的に、C R Tディスプレイ用のディスプレイ・インタフェース・コネクタをさらに実装しており、L C DとC R Tとの双方が接続されている場合には、これらに対して映像を同時に表示可能となっている。

このため、L C Dコントローラは、L C Dの表示制御に係る系統(L C D制御系)としてのデータ変換部51及びF I F Oバッファ52と、C R Tの表示制御に

係る系統(CRT制御系)としてのFIFOバッファ53及びDAC(Digital to Analog Converter)54とを備えている。LCD制御系及びCRT制御系は、LCDやCRTに表示される映像のデータを記憶する外部のビデオメモリ(VRAM)に接続されている。さらに、LCDコントローラは、タイミング・ジェネレータ55を備えている。

タイミング・ジェネレータ55は、外部のクロック発生源(クロック・ジェネレータ)から基本クロックCLKを受け取り、基本クロックCLKから読み出しタイミング信号を生成する。この読み出しタイミング信号に従って、VRAMから映像データが読み出され、LCD制御系及びCRT制御系の夫々に入力される。LCD制御系は、データ変換部51でVRAMからの映像データをLCDへ転送すべきフォーマットに変換し、LCDインターフェイスを介してLCDに転送する。CRT制御系は、VRAMからの映像データをDAC54でデジタル-アナログ変換し、CRTインターフェイスを介してCRTに転送する。これらの動作は、クロック・ジェネレータ55により基本クロックCLKから生成される転送タイミング信号に従って行われる。

このような構成によって、LCDコントローラは、LCDだけではなくCRTへ同じ表示画面を転送し表示させる機能を持つ。また、LCDコントローラは、LCDとCRTとに同じ表示画面を同時に表示する機能を持つ。これらの機能は、製品としてのLCDコントローラが持つ必須の機能となっている。

ところで、最近のPCの設計では、マザーボードのクロック発生源にスペクトラム拡散機能付きクロックバッファを使用し、マザーボードに搭載されるCPU及びこの周辺回路(主記憶等。LCDコントローラを除く)にスペクトラム拡散されたクロック(Spread Spectrum Clocking: SSC)信号を供給することによって、マザーボード単体からのEMIノイズを削減する手法が主流となっている。SSC信号は、もとのクロック信号の周波数帯域をその数十倍といった広い周波数帯域に拡散したクロック信号であり、帯域は広がるがそのエネルギーのピークが低下するため、もとのクロック信号に比べてEMIノイズを発生させにくいという特徴を持つ。

現状では、LCDコントローラに対し、マザーボードのクロック発生源と異な

る他のクロック発生源が用意され、LCDコントローラは、基本クロックCLKとして、他のクロック発生源から供給される周期が一定で安定した一つのクロック信号(スペクトラム拡散されていない)を受け取っている。従って、LCDコントローラは、スペクトラム拡散されていない基本クロックCLKを、映像データとともに、LCDに転送している。これは、以下の理由による。

(1) 基本クロック信号がSSC信号であると、SSC信号が持つジッタによって転送タイミングが揺らぐので、アナログ的に動作している(時分割転送及び表示処理を行う)CRTの表示画面が歪んだりチラついたりするという問題が発生する。

(2) LCD及びCRTに同じ映像を同時に表示する場合において、VRAMから2回別々のクロック(読み出しタイミング)で映像データを読み出し、LCD制御系及びCRT制御系に夫々供給することが考えられる。しかしながら、現状でのVRAMの読み出し速度は、LCDのフレーム周期とCRTのフレーム周期とがぶつからないような読出制御に対応可能な程度に至っていない。このため、同時表示を行う場合には、LCDとCRTのフレーム周波数を一致させ、基本クロックCLKから生成される読出タイミングによる一回の読み出し動作でVRAMから読み出された映像データをLCD/CRT制御系に供給している。

近年では、LCDの表示可能色、解像度、及びフレーム周波数が夫々上昇する傾向にある。これに伴ってLCDコントローラからLCDへ転送されるデータ量が増加するとともに、LCDへ転送される転送クロック信号の周波数が上昇している。これによって、PCからLCDへ映像データ信号(R/G/Bデータ信号)、同期信号(水平/垂直同期信号)及び転送クロック信号(転送タイミング信号)を転送するためのケーブルが、EMIノイズを発生させる箇所の一つとなっている。特に、転送クロック信号がEMIノイズを発生させる大きな要因となっている。

ケーブルは、PCがノート型であればヒンジで連結されたPC本体側の筐体とLCDの筐体間に亘って配置され(図8参照)、PCがデスクトップ型であれば筐体で被覆されない状態になる。このように、ケーブルは電磁放射を抑え難い位置にあるので、PCの設計者は、ケーブルからのEMIノイズ放射を抑えることが大きな課題であった。



本発明の目的は、ＣＲＴに表示される映像の品質を落とすことなくＬＣＤへ転送されるクロック信号によるＥＭＩ放射を抑えることができる表示制御装置を提供することである。

#### 発明の開示

本発明は、表示制御装置(グラフィックス・コントローラ)であり、周期が一定で安定した第１のクロック信号から生成されるＣＲＴ転送クロック信号に従って、このＣＲＴ転送クロック信号、映像データ信号及び同期信号をＣＲＴディスプレイに転送するＣＲＴ制御系と、

前記第１のクロック信号がスペクトラム拡散された第２のクロック信号から生成されるＬＣＤ転送クロック信号に従って、このＬＣＤ転送クロック信号、映像データ信号及び同期信号を液晶ディスプレイに転送するＬＣＤ制御系と、を含む。

本発明によると、周期が一定で安定した第１のクロックから生成された転送クロックがＣＲＴに転送され、ＣＲＴはこれに基づいて映像を表示するので、ＣＲＴの画質を維持することができる。一方で、第１のクロックがスペクトラム拡散された第２のクロックから生成された転送クロックがＬＣＤに転送される。この転送クロックはスペクトラム拡散によって電磁放射強度が抑えられているので、転送クロックがＬＣＤに転送される際にＥＭＩノイズが発生するのを抑えることができる。

本発明の表示制御装置は、前記ＣＲＴ制御系及び前記ＬＣＤ制御系は、前記第２のクロックから生成される読出タイミングに従って、ビデオメモリに記憶された転送対象の映像データを夫々受け取る、ようにするのが好ましい。

本発明の表示制御装置は、さらに、前記ＣＲＴ制御系及び前記ＬＣＤ制御系は、同じ映像がＣＲＴディスプレイ及び液晶ディスプレイにほぼ同時に表示されるタイミングで映像データを転送する、ようにするのが好ましい。

本発明の表示制御装置は、さらに、前記読出タイミングが液晶ディスプレイの表示周期に同期して発生し、

前記ＬＣＤ制御系は、前記読出タイミングが発生する毎に、ビデオメモリに記憶された転送対象の映像データを受け取り、

前記C R T制御系は、C R Tディスプレイの表示周期にさらに同期する読出タイミングが発生した場合にのみ、ビデオメモリに記憶された転送対象の映像データを受け取る、ようにするのが好ましい。

本発明の表示制御装置は、単位時間あたりの映像データの転送量を監視するとともに、映像データの転送量に応じて前記第2クロックのスペクトラム拡散の幅を制御するための信号を出力する監視手段をさらに含む、ようにしても良い。

本発明の表示制御装置は、転送対象の映像データを記憶するビデオメモリとワンチップ化されている、構成としても良い。

本発明の表示制御装置は、デジタル・ビジュアル・インターフェイスをさらに含み、C R Tディスプレイに映像を表示する場合に、前記C R T制御系からの映像データを前記デジタル・ビジュアル・インターフェイスを通じてC R Tディスプレイに転送し、液晶ディスプレイに映像を表示する場合に、前記L C D制御系からの映像データ、水平／垂直同期信号及び第2のクロックを前記デジタル・ビジュアル・インターフェイスを通じてL C Dディスプレイに転送する、構成としても良い。

本発明の表示制御装置は、C P U及びメインメモリと拡張バスとを相互に接続しこれらの間のデータの橋渡しを行うチップとワンチップ化されている、構成としても良い。

#### 図面の簡単な説明

図1は、本発明の表示制御装置が適用されるパーソナルコンピュータのアーキテクチャの例を示すブロック図である。

図2は、図1に示したクロック・ジェネレータの一部を示すブロック図である。

図3(A)は、L C Dコントローラに供給される基本及び変調クロックを示す図であり、図3(B)は、基本及び変調クロックのスペクトラムを示す図である。

図4は、図1に示したL C Dコントローラを示すブロック図である。

図5は、本発明の表示制御装置の他の実施の形態を示すブロック図である。

図6は、本発明の表示制御装置の他の実施の形態を示すブロック図である。

図7は、従来技術の説明図である。

図 8 は、従来技術の説明図である。

#### 発明を実施するための最良の形態

以下、本発明を実施するための最良の形態を説明する。以下の実施形態は例示であり、本発明は実施形態の構成に限定されるものではない。

##### 〔第 1 実施形態〕

図 1 は、本発明の実施形態による表示制御装置が搭載されるパーソナルコンピュータ (P C) 1 のアーキテクチャの概要を示す図である。図 1 は、例として、P C-A T 互換機 (A T 互換機) のアーキテクチャを示しており、表示制御装置としての L C D コントローラ 2 が示されている。L C D コントローラには、例えば、V G A (Video Graphics Array) を挙げることができる。

L C D コントローラ 2 は、C P U 3 及びメモリ (主記憶) 4 を制御するブリッジ回路であるノース・ブリッジ 5 と A G P (Accelerated Graphics Port) バスを介して接続されている。また、L C D コントローラ 2 は、表示用のデータを記憶するビデオメモリ (V R A M) 6 と接続されるとともに、V R A M 6 に記憶された表示データを表示する L C D 7 及び C R T 8 とケーブル C 1, C 2 を介して接続可能になっている。

ノース・ブリッジ 5 は、P C I (Peripheral Component Interface) バスを介してサウス・ブリッジ 9 と接続されており、サウス・ブリッジ 9 は、P C I バスや I S A (Industrial Standard Architecture) バスを介して接続されるハードディスクやキーボード／マウスなどの入出力装置 (I / O) を制御する。

P C 1 は、グラフィックス・コントローラとしての L C D コントローラ 2, C P U 3, ノース・ブリッジ 5 及びサウス・ブリッジ 9 に動作用のクロックを夫々供給するクロック・ジェネレータ 1 0 を備えている。クロック・ジェネレータ 1 0 は、クロック F (C L K 1) 及びクロック F<sub>s</sub> (C L K 2) を L C D コントローラ 2 に供給する。また、クロック・ジェネレータ 1 0 は、クロック F<sub>CPU</sub> を C P U 3 に供給し、クロック F<sub>NORTH</sub> をノース・ブリッジ 5 に供給し、クロック F<sub>SOUTH</sub> をサウス・ブリッジ 9 に供給する。

図 2 は、図 1 に示したクロック・ジェネレータ 1 0 の実施形態を示すブロック

図であり、LCDコントローラ2に供給される基本クロックCLK1(周波数出力F)及び変調クロックCLK2(周波数出力Fs)を出力するための構成(クロック・ジェネレータ10内のスプレッド・スペクトラムIC10A)を示している。

図2において、スプレッド・スペクトラムIC10Aは、各クロックCLK1及びCLK2を得るためのPLL周波数シンセサイザ(Phase Locked Loop frequency synthesizer)を持つ。

基本クロックCLK1を得るためのPLL周波数シンセサイザは、クロック発生源(水晶発振器)11からの出力(基準クロックf)を $1/N$ (Nは整数)に分周した基準周波数fnを作る分周器(プログラマブル・カウンタ)12と、入力を $1/M$ (Mは整数)に分周する分周器(プログラマブル・カウンタ)13Aと、位相比較器(位相検波器)14Aと、位相比較器14Aの出力から直流電圧を取り出すループフィルタ15Aと、VCO(Voltage Controlled Oscillator: 電圧制御発信器)16Aとを持つ。

VCO16Aの出力(発振周波数)Fは、分周器13Aに入力され $1/M$ に分周される。分周器13Aの出力fmは、位相比較器14Aに入力される。位相比較器14Aは、分周器12からの基準周波数fnと分周器13Aからの出力fmとを比較し、VCO16Aを制御する直流電圧をループフィルタ14Aを介してVCO16Aの制御端子に印加する。これによって、分周器12の出力fnに位相を合わせた出力FがVCO16Aから出力される。出力Fは、 $F = f * (\text{掛ける}) M/N$ の周波数を持つ。このようにして、基準周波数fnの任意の整数倍の周波数を得ることができ、さらにNの値を変化させることで出力Fの自由度が高められている。このような出力Fが、基本クロック信号CLK1としてLCDコントローラ2に供給される。

一方、出力Fsを得るためのPLL周波数シンセサイザは、同様に、分周器13B、位相比較器14B、ループ・フィルタ15B、及びVCO16Bを備える。また、スプレッド・スペクトラムICは、ジッタ生成部17と、乗算器18とを備える。ジッタ生成部17は、基準クロックfを $1/S$ に分周したジッタ(符号と呼ばれる)を生成する。乗算器18は、ジッタ生成部17から出力されるf/Sジッタを分周器13Bからの出力fmに乗算する。これによって、出力fmを乗算

したジッタの周波数幅だけ広げた信号ができ、この信号が位相比較器 1 4 B に入力される。これによって、VCO 1 6 B からは、基準周波数  $f_n$  に位相を合わせた  $F_s = f * (\text{掛ける}) M / N$  (但し、ジッタ  $f / S$  付加) が出力される。即ち、出力  $F$  が  $f / S$  のジッタでスペクトラム拡散変調された出力  $F_s$  が VCO 1 6 B から出力される。この出力  $F_s$  は、変調クロック信号 CLK 2 として LCD コントローラ 2 に供給される。

図 3 (A) は、基本クロック CLK 1 及び変調クロック CLK 2 の説明図である。図 3 (A) に示すように、変調クロック CLK 2 は、基本クロック CLK 1 の周期以下の周波数で変調されており、これによって、基本クロック CLK 1 を追い越したり、基本クロック CLK 1 に追い越されたりしない様になっている。出力  $F$  の変調の度合い (拡散の割合 : 出力  $F$  に対する  $S$  の割合) は、例えば、0.5% ~ 4.0% が使用されるが、特に 0.5 ~ 1.0% が多く使用される。基本クロック CLK 1 が第 1 のクロック信号に相当し、変調クロック CLK 2 が第 2 のクロック信号に相当する。

図 3 (B) は、基本クロック CLK 1 及び変調クロック CLK 2 のスペクトラムを示す図である。変調クロック CLK 2 は、スペクトラム拡散によって、基本クロック CLK 1 よりも帯域幅が広がるが、その分だけエネルギー (電磁放射強度) のピークが減少する。従って、EMI ノイズを発生させにくくなっている。

図 4 は、図 1 に示した LCD コントローラ 2 の実施形態を示すブロック図である。図 4 において、LCD コントローラ 2 は、ワンチップで構成されており、CRT 制御系としての FIFO バッファ 2 2 及び DAC 2 3 を備えるとともに、LCD 制御系としてのデータ変換部 2 4 及び FIFO バッファ 2 5 を備える。さらに、FIFO バッファ 2 2 及びデータ変換部 2 4 は外部のビデオメモリ (VRAM) 2 6 にバスを介して接続されている。さらに、LCD コントローラは、二つのタイミング・ジェネレータ 2 7 及び 2 8 を備えている。

タイミング・ジェネレータ 2 7 は、クロック・ジェネレータ 1 0 から基本クロック CLK 1 (出力  $F$ ) を受け取る。一方、タイミング・ジェネレータ 2 8 は、クロック・ジェネレータ 1 0 から変調クロック CLK 2 を受け取る。このため、LCD コントローラ 2 は、各クロック CLK 1 及び CLK 2、或いはこの 2 つ以上

のクロックを入力するためのピン(入力端子)を持つ。

タイミング・ジェネレータ 27 は、映像データを CRT に転送・表示するための転送タイミング信号(CRT 転送クロック)を基本クロック CLK 1 から生成し、CRT 制御系に与える。

タイミング・ジェネレータ 28 は、VRAM 26 からの映像データの読出タイミング信号(VRAM 26 へのアクセスクロック)を変調クロック CLK 2 から生成し、LCD 及び CRT 制御系の双方に与える。また、タイミング・ジェネレータ 28 は、映像データを LCD に転送・表示するための転送タイミング信号(LCD 転送クロック)を変調クロック CLK 2 から生成し、LCD 制御系に与える。

VRAM 26 は、CPU 3 がノース・ブリッジ 5 を介して書き込む 1 フレーム分の映像データ(映像の解像度に応じた各画素の R/G/B データ)を記憶し、読出タイミング信号がタイミング・ジェネレータ 28 から FIFO バッファ 22 及びデータ変換部 24 に与えられると、映像データは、読出タイミング信号に従って VRAM 26 から読み出され、FIFO バッファ 22 及びデータ変換部 24 に夫々入力される。即ち、読出タイミング信号による一回の読出動作によって読み出された映像データが CRT 制御系及び LCD 制御系の夫々に供給される。

ここに、変調クロック CLK 2 を用いて読出タイミング信号を生成するのは、変調クロック CLK 2 が SSC であるので、これに基づく読出タイミング信号のエネルギー(電磁放射強度)のピークを抑えることができ、LCD コントローラ 2 からの EMI ノイズの放射を抑えることができるからである。もっとも、VRAM 26 からの読出に、基本クロック CLK 1 から生成される読出タイミング信号を使用することもできる。

VRAM 26 から読み出された映像データは、CRT 制御系では、FIFO バッファ 22 によって一旦蓄積される。その後、CRT の転送タイミング信号(CRT 転送クロック)がタイミング・ジェネレータ 27 から FIFO バッファ 22 及び DAC 23 に入力されると、FIFO バッファ 22 は、CRT 転送クロックに従って映像データを DAC 23 に入力し、DAC 23 は、CRT 転送クロックに従って映像データをデジタル-アナログ変換して出力する。DAC 23 から出力される映像データ信号は、その水平及び垂直同期信号と、CRT 転送クロック信号

とともにLCDコントローラ2から出力され、PC1のCRTインターフェイス及びケーブルC1を介してCRT8に転送される。そして、CRT8において、映像データに基づく映像が表示される。このとき、CRT8では、周期が一定で安定した基本クロックCLK1から生成された転送クロックに基づいて表示制御(水平/垂直走査等)が行われるので、画質が従来に比べて低下することがない。

一方、VRAM26から読み出された映像データは、LCD制御系では、データ変換部24によってLCDに転送するためのフォーマットに変換(例えば、データのパラレル-シリアル変換)され、FIFOバッファ25に一旦蓄積される。その後、LCDの転送タイミング信号がタイミング・ジェネレータ28からFIFOバッファ25に入力されると、FIFOバッファ25に蓄積された映像データが読み出される。FIFOバッファ25から出力される映像データ信号は、この水平/垂直同期信号と、LCD転送クロック信号とともにLCDコントローラ2から出力され、PC1のCRTインターフェイス及びケーブルC2を介してLCD7に転送される。

LCD7に転送されるLCD転送クロック信号は、SSC信号である変調クロックCLK2から生成されるので、そのエネルギー(電磁放射強度)は低減されている。従って、ケーブルC2からのEMIノイズの発生が抑えられる。なお、LCD転送クロックは、大量のデジタル信号を転送する関係から、その周波数は例えば20MHzにもなる。これに対し、CRT転送クロックは、アナログ信号の転送であること等から、その周波数は例えば100kHz程度である。このように、ケーブルC1を転送されるCRT転送クロックの周波数はLCD転送クロックに比べて著しく小さいので、EMIノイズは殆ど発生しない。

このように、VRAM26からの読出タイミング(アクセスクロック)と異なる転送タイミング(LCD/CRT転送クロック)によってCRT及びLCD制御系から映像データ信号が夫々出力される。各FIFOバッファ22, 25は、アクセスクロックと各転送クロックとの位相を吸収する(クロックを乗り換える)ために設けられている。また、各FIFOバッファ22, 25は、CRT制御系とLCD制御系とでの転送及び表示のタイミングのずれ(CRT転送クロックとLCD転送クロックとのずれ)を吸収するために使用される。これによって、LCD7とCR

T 8 とに同じ映像をほぼ同時に表示させることができる。

また、LCDコントローラ 2 は、その外部から基本クロック CLK 1 及び変調クロック CLK 2 が入力されるようになっており、LCDコントローラ 2 の内部で変調クロックを生成するようになっていないので構成が簡易であり、また、スペクトラム拡散の方式やその拡散強度を適宜設定することができる。

#### 〔第 2 実施形態〕

図 4 に示した LCDコントローラ 2 は、VRAM 2 6 からの映像データの読出制御をCRT制御系とLCD制御系とで同時に行う。このため、同一の映像(画面)をLCD 7 とCRT 8 とに同時に表示する場合には、LCD 7 のフレーム周波数とCRT 8 のフレーム周波数とが原則として同じでなければならない。

一方、LCD 7 のフレーム周波数は、バックライトの周波数(通常 60 Hz)よりも若干高め以上(例えば、60 Hz に対して 70 Hz 以上)に設定しなければ、バックライトによる干渉縞が画面に現れ、画面のちらつきが肉眼で見えてしまう。また、LCD 7 は、高速な表示(書き換え)を実現すべく、1 フレームあたりの残像時間が短くなる傾向にある。このため、フレーム周波数がCRT 8 と同じであると、画面がちらつく可能性がある。

図 5 は、本発明の第 2 実施形態としての LCDコントローラ 2 A を示すブロック図である。図 5 において、LCDコントローラ 2 A には、タイミング・ジェネレータ 2 8 A から FIFOバッファ 2 2 への読出タイミング信号の信号線にゲート 3 1 が挿入されている。ゲート 3 1 は、タイミング・ジェネレータ 2 7 A からの制御信号によって、読出タイミング信号の FIFOバッファ 2 2 への入力をオン/オフする。タイミング・ジェネレータ 2 7 A による制御信号の出力制御は、CPU 3 (図 1 参照)による設定によって行われる。

図 5 に示す例では、LCD 7 のフレーム周波数は、CRT 8 のフレーム周波数の  $n$  倍( $n$  は 2 以上の整数)になっている。例えば、CRT 8 のフレーム周波数が 60 Hz であるのに対し、LCD 7 のフレーム周波数は 120 Hz (2 倍)になっている。

タイミング・ジェネレータ 2 8 A は、LCD 7 のフレーム周期(1 フレームの表示周期)に同期する読出タイミング信号を出力する。LCD制御系(データ変換部



24)は、読出タイミング信号を、タイミング・ジェネレータ28から出力される毎に(毎回)受け取ってVRAM26から映像データを読み出す。

タイミング・ジェネレータ27Aは、CRT8のフレーム周期(表示周期)に同期してゲートをオンにし、タイミング・ジェネレータ28Aからの読出タイミング信号がFIFOバッファ22に入力されるようにゲート31を制御する。これにより、タイミング・ジェネレータ28Aからの読出タイミングは、CRT8の表示周期に合わせて、n回に一回だけCRT制御系に与えられる。

従って、CRT制御系(FIFOバッファ22)は、CRT8の表示周期に合わせて、読出タイミング信号を受け取る。即ち、CRT制御系は、CRT8のフレーム周波数(60Hz)に従って、VRAM26から映像データを受け取り、転送することになる。

以上の点を除き、第2実施形態は第1実施形態と同様である。第2実施形態では、LCD7のフレーム周波数がCRT8のフレーム周波数の2以上の整数倍に設定され、LCD制御系がCRT8の表示周期内に2回以上映像データの転送処理を行う。これによって、LCD7のバックライトによる干渉を防ぐことができる。また、LCD7の残像時間が短いことによる画面のちらつきを防止し、LCD7の画質を高めることができる。一方、CRT8は、適正な画質を得られるフレーム周波数で映像を表示することができる。

### 〔第3実施形態〕

図6は、本発明の第3実施形態としてのLCDコントローラ2Bを示すブロック図である。図6において、タイミング・ジェネレータ28Bは、VRAM26に書き込まれる映像データの解像度や色数を監視することによって、LCD7へ転送される単位時間あたりのデータ量を監視し、データ量を示す信号(データ量信号)をスプレッド・スペクトラムIC10Bに入力する監視手段として機能する。

監視対象のデータ量は、複数のレベル(クラス)に区分されており、レベル間に閾値が設けられている。タイミング・ジェネレータ28Bは、データ量のレベルを示すビットをデータ量信号として出力する。例えば、データ量のレベルが4段階に区分される場合には、データ量信号は、2ビットで表現される。タイミング・ジェネレータ28Aは、監視対象のデータ量が閾値を上回ったり下回ったりす

る毎にデータ量信号のビット値を変更する。

一方、スプレッド・スペクトラム I C 1 0 B には、データ量のレベルに応じて用意された複数のジッタ挿入部を持つ。図 6 に示す例では、3 段階のレベル(データ量：レベル 1 < レベル 2 < レベル 3)に合わせたジッタ生成部 1 7 A, 1 7 B, 1 7 C と、切替出力部 1 9 とを備えている。

切替出力部 1 9 は、タイミング・ジェネレータ 2 8 B からのデータ量信号に応じて、基準クロック  $f$  の出力先を切り替える。各ジッタ生成部 1 7 A, 1 7 B, 1 7 C は、切替出力部 1 9 から入力される基準クロック  $f$  を  $1/S$  で分周することによって、分周器 1 3 B からの出力  $f_m$  に挿入されるジッタを生成する。ここに、 $S$  の値は、スペクトラム拡散の変調の度合い(拡散の幅：拡散強度)を決める値であり、 $S$  の値が小さいほど拡散の幅が広がる。図 6 に示す例では、 $S_1$  (レベル 1) <  $S_2$  (レベル 2) <  $S_3$  (レベル 3) に設定されており、データ量が多くなるほど拡散の幅が大きくなるように設定されている。

以上の構成を除き、第 3 実施形態は、第 1 実施形態とほぼ同じである。第 3 実施形態によると、例えば、LCD 7 へのデータ転送量がレベル 1 である場合には、タイミング・ジェネレータ 2 8 B は、基準クロック  $f$  の出力先をジッタ生成部 1 7 A とするためのデータ量信号(例えば、“0 0”)を出力切替部 1 9 に入力している。

その後、LCD 7 へのデータ転送量が大きくなり、データ量がレベル 1 からレベル 2 への閾値を超えると、タイミング・ジェネレータ 2 8 B は、基準クロック  $f$  の出力先をジッタ生成部 1 7 A とするためのデータ量信号(例えば、“0 1”)を出力切替部 1 9 に入力する。すると、出力切替部 1 9 は、基準クロック  $f$  の出力先をジッタ生成部 1 7 B に切り替える。これによって、出力  $f_m$  に挿入されるジッタの周波数の幅が大きくなるので、変調クロック CLK 2 の周波数の幅がさらに広がり、電磁放射強度がさらに下がる。

その後、データ量がレベル 2 からレベル 3 にあがると、基準クロック  $f$  の出力先がジッタ生成部 1 7 C に切り替わり、変調クロック CLK 2 の周波数の幅がさらに広がり、電磁放射強度がさらに下がる。その後、データ量がレベル 3 → レベル 2 → レベル 1 へ減少する場合には、上記と逆の動作が行われる。

第3実施形態によれば、LCD 7へのデータ転送量に応じて変調クロックCLK 2のスペクトラム拡散の幅を制御するので、データ量が多くなった場合に、変調クロックCLK 2のスペクトラム拡散の幅を広げて、LCD転送クロックの電磁放射強度を低下させることができる。これによって、LCD転送クロックの周波数上昇に伴うケーブルC 2からのEMIノイズの放射を抑えることができる。

なお、図1に示した例では、LCDコントローラ2はAGPバスを介してノース・ブリッジ5に接続されているが、PCIバスを介してノース・ブリッジ5に接続されるようにしても良い。また、図1に示すアーキテクチャでは、3階層のバス構造を持ち、ノース・ブリッジ5とLCDコントローラ2とが個別に用意されているが、これらはワンチップ化されていても良い。例えば、インテル社のハブ・アーキテクチャにおけるGMCH(Graphics and Memory Controller Hub)が本発明のグラフィックス・コントローラの機能を持つ様にしても良い。

また、図1に示したLCDコントローラ2とVRAM6とがワンチップ化されていても良い。さらに、本発明のグラフィックス・コントローラが持つ機能は、PC-AT互換機以外のアーキテクチャを持つPCにも適用可能である。

さらに、図1に示したPC 1は、CRTコネクタとLCDコネクタとを持ち、LCDコントローラ2は、これらに夫々接続されるCRTインターフェイス及びLCDインターフェイスを有している。これに対し、PC 1がこれらのCRT/LCDコネクタに代えてDVI (Digital Visual Interface)コネクタを持つ場合には、LCDコントローラ2がDVIを有し、このDVIを介してDVIコネクタに接続されたLCD 7又はCRT 8に対し、対応するディスプレイ出力(映像データ信号、水平及び垂直同期信号、転送クロック)を転送するようにしても良い。

## 請求の範囲

1. 周期が一定で安定した第1のクロック信号から生成されるC R T転送クロック信号に従って、このC R T転送クロック信号、映像データ信号及び同期信号をC R Tディスプレイに転送するC R T制御系と、

前記第1のクロック信号がスペクトラム拡散された第2のクロック信号から生成されるL C D転送クロック信号に従って、このL C D転送クロック信号、映像データ信号及び同期信号を液晶ディスプレイに転送するL C D制御系と、を含むことを特徴とする表示制御装置。

2. 前記C R T制御系及び前記L C D制御系は、前記第2のクロックから生成される読出タイミングに従って、ビデオメモリに記憶された転送対象の映像データを夫々受け取る、請求項1記載の表示制御装置。

3. 前記C R T制御系及び前記L C D制御系は、同じ映像がC R Tディスプレイ及び液晶ディスプレイにほぼ同時に表示されるタイミングで映像データを転送する、請求項2記載の表示制御装置。

4. 前記読出タイミングが液晶ディスプレイの表示周期に同期して発生し、前記L C D制御系は、前記読出タイミングが発生する毎に、ビデオメモリに記憶された転送対象の映像データを受け取り、

前記C R T制御系は、C R Tディスプレイの表示周期にさらに同期する読出タイミングが発生した場合にのみ、ビデオメモリに記憶された転送対象の映像データを受け取る、請求項3記載の表示制御装置。

5. 単位時間あたりの映像データの転送量を監視するとともに、映像データの転送量に応じて前記第2クロックのスペクトラム拡散の幅を制御するための信号を出力する監視手段をさらに含む、請求項1記載の表示制御装置。

6. 転送対象の映像データを記憶するビデオメモリとワンチップ化されている、請求項1記載の表示制御装置。

7. デジタル・ビジュアル・インターフェイスをさらに含み、C R Tディスプレイに映像を表示する場合に、前記C R T制御系からの映像データを前記デジタル・ビジュアル・インターフェイスを通じてC R Tディスプレイに転送し、液晶ディスプレイに映像を表示する場合に、前記L C D制御系からの映像データ、

水平／垂直同期信号及び第 2 のクロックを前記デジタル・ビジュアル・インターフェイスを通じて液晶ディスプレイに転送する、請求項 1 記載の表示制御装置。

8. CPU 及びメインメモリと拡張バスとを相互に接続しこれらの間のデータの橋渡しを行うチップとワンチップ化されている、請求項 1 記載の表示制御装置。

## 要 約 書

表示制御装置は、周期が一定で安定した第1のクロック信号から生成されるC R T転送クロック信号に従って、このC R T転送クロック信号、映像データ信号及び同期信号をC R Tに転送するC R T制御系と、第1のクロック信号がスペクトラム拡散された第2のクロック信号から生成されるL C D転送クロック信号に従って、このL C D転送クロック信号、映像データ信号及び同期信号を液晶ディスプレイに転送するL C D制御系と、を含む。

FIG. 1

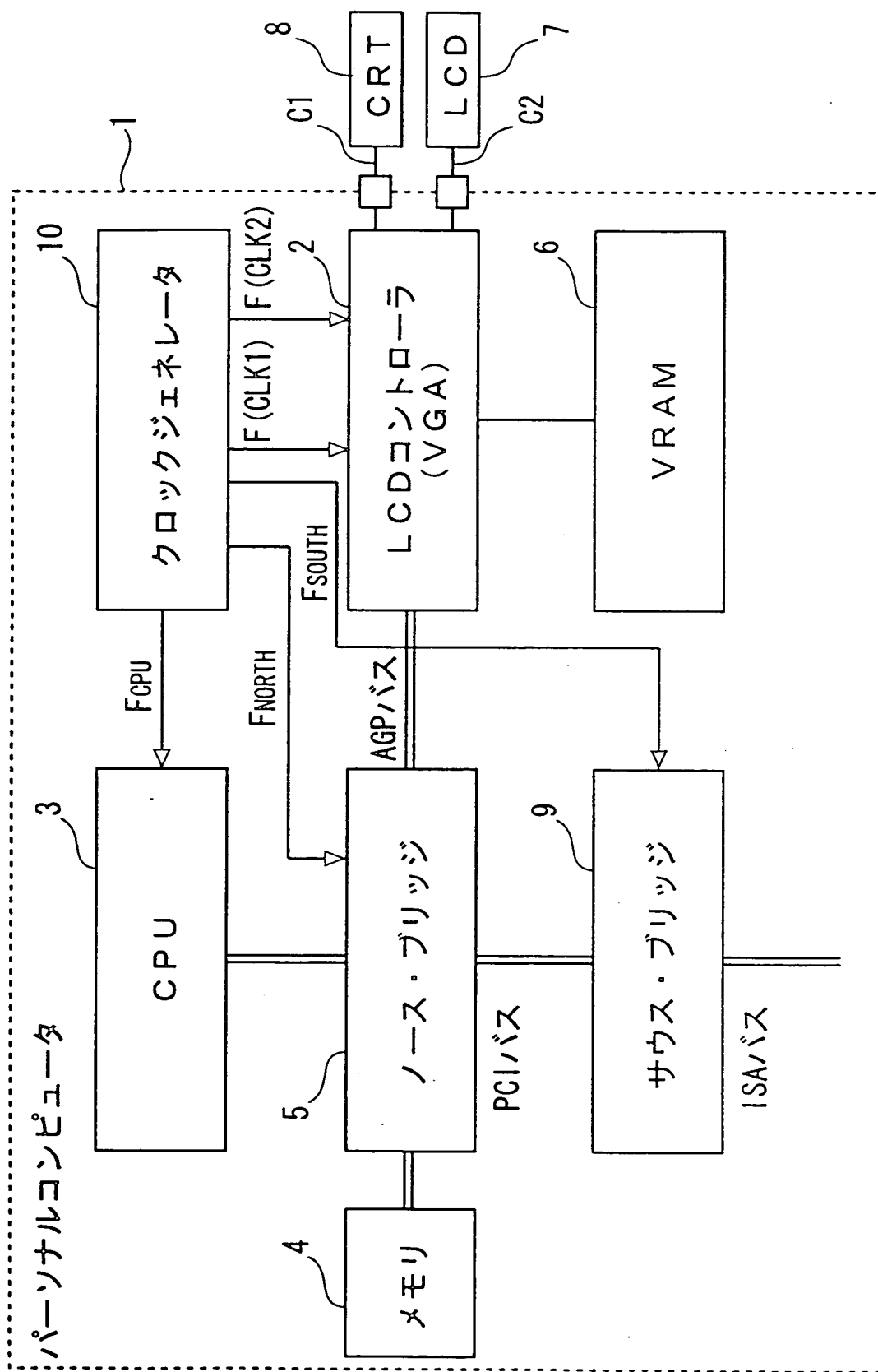
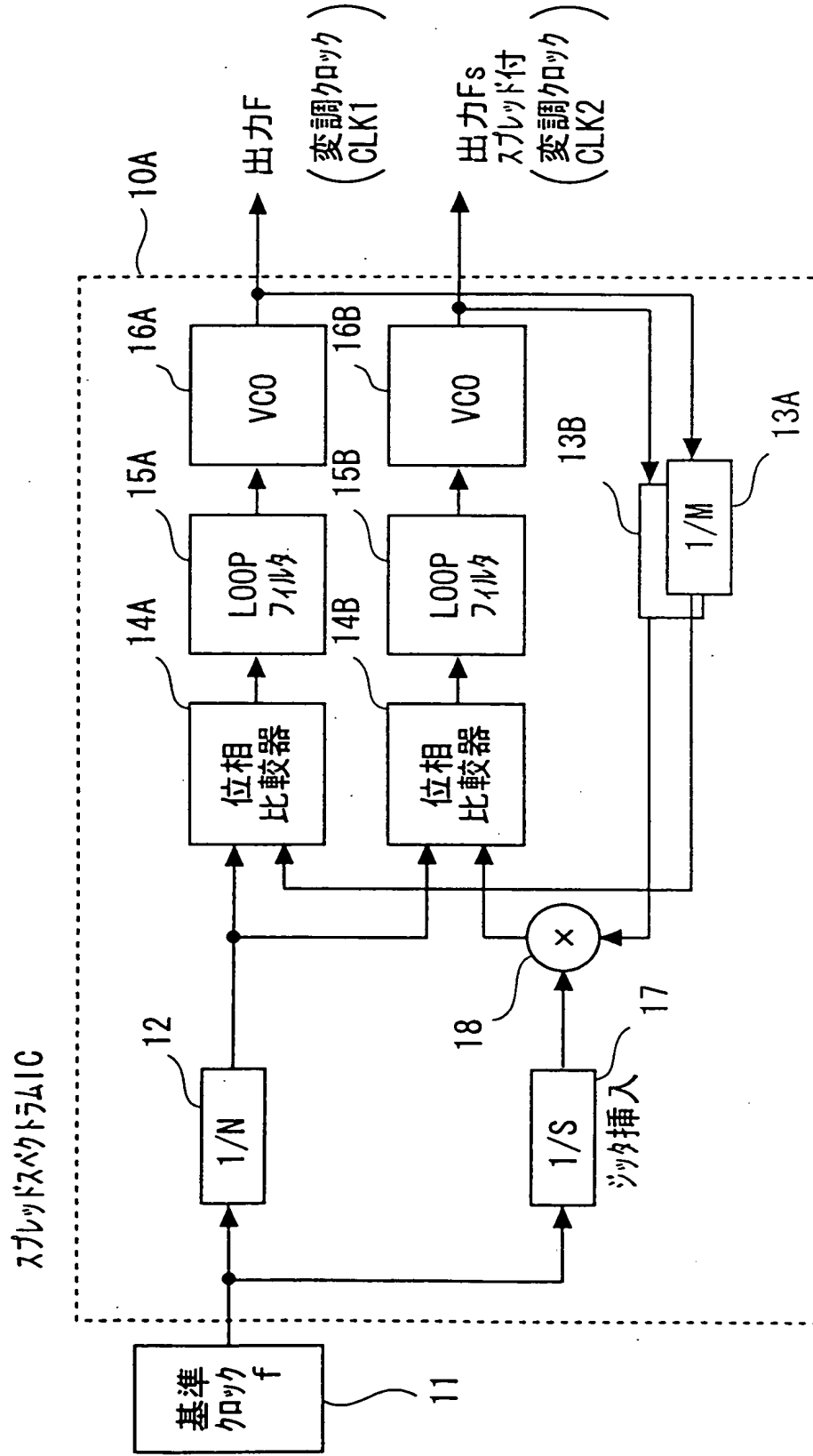


FIG. 2



$$F = f \cdot M / N$$

$$F_s = f \cdot M / N \text{ (f/Sジッタ付加)}$$



FIG. 3

基本クロックCLK1と変調クロックCLK2

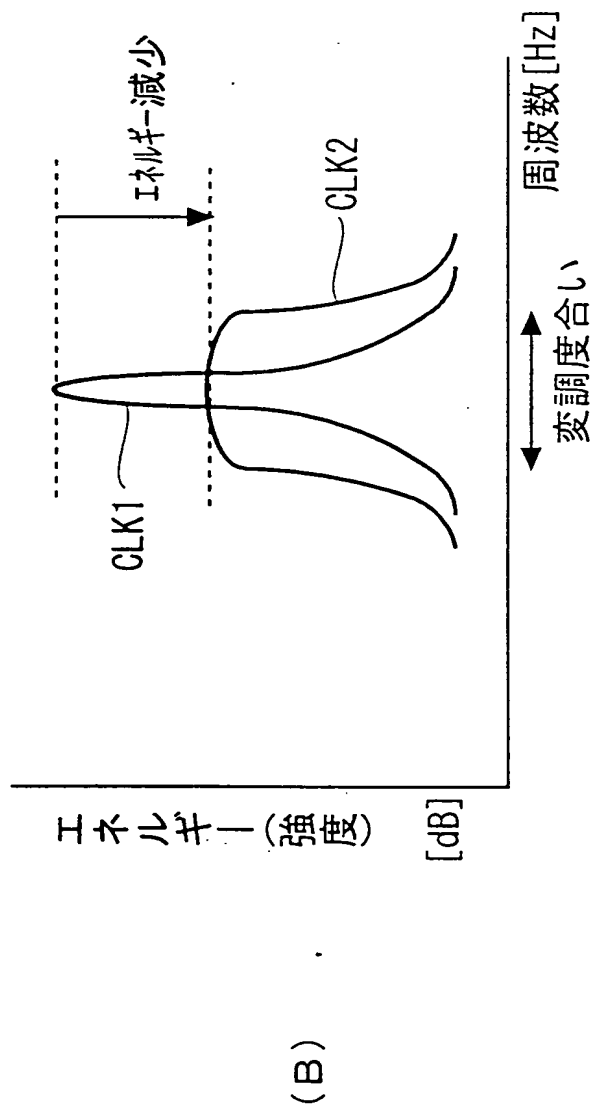
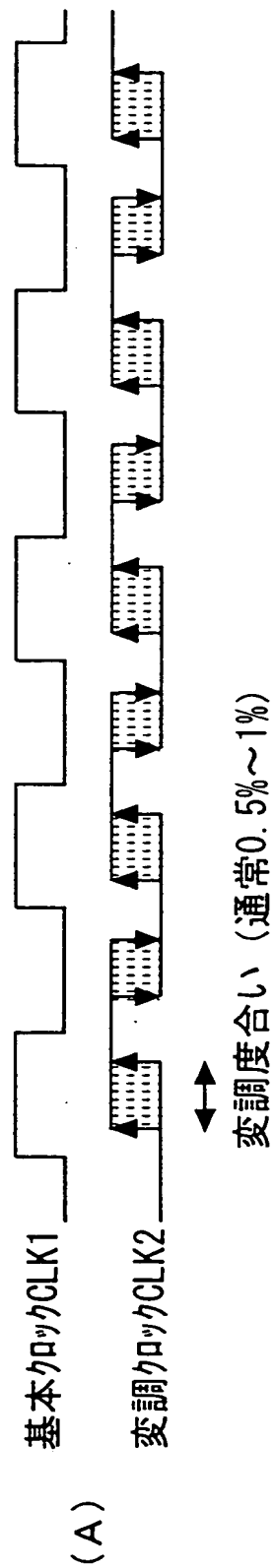


FIG. 4

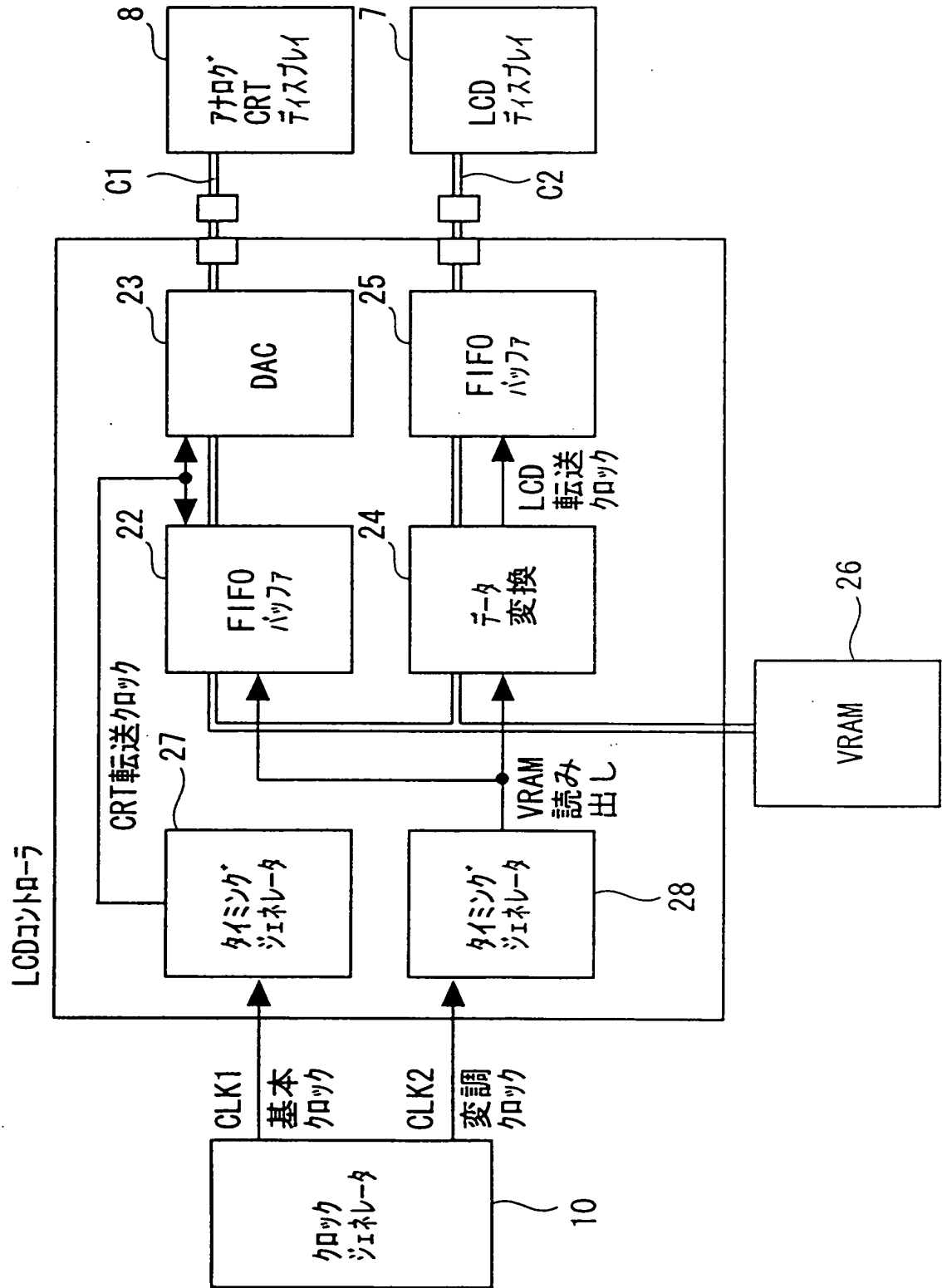


FIG. 5

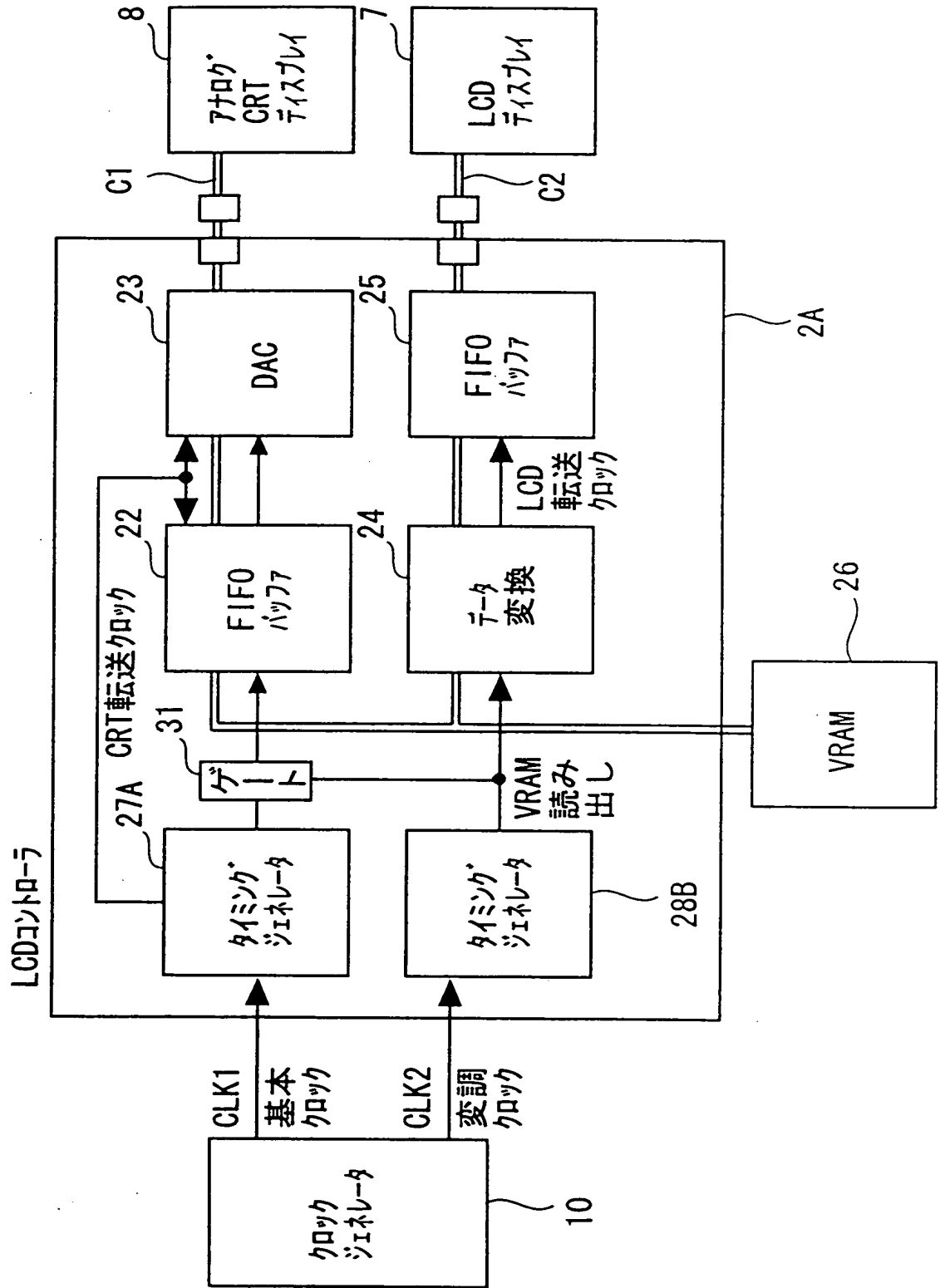


FIG. 6

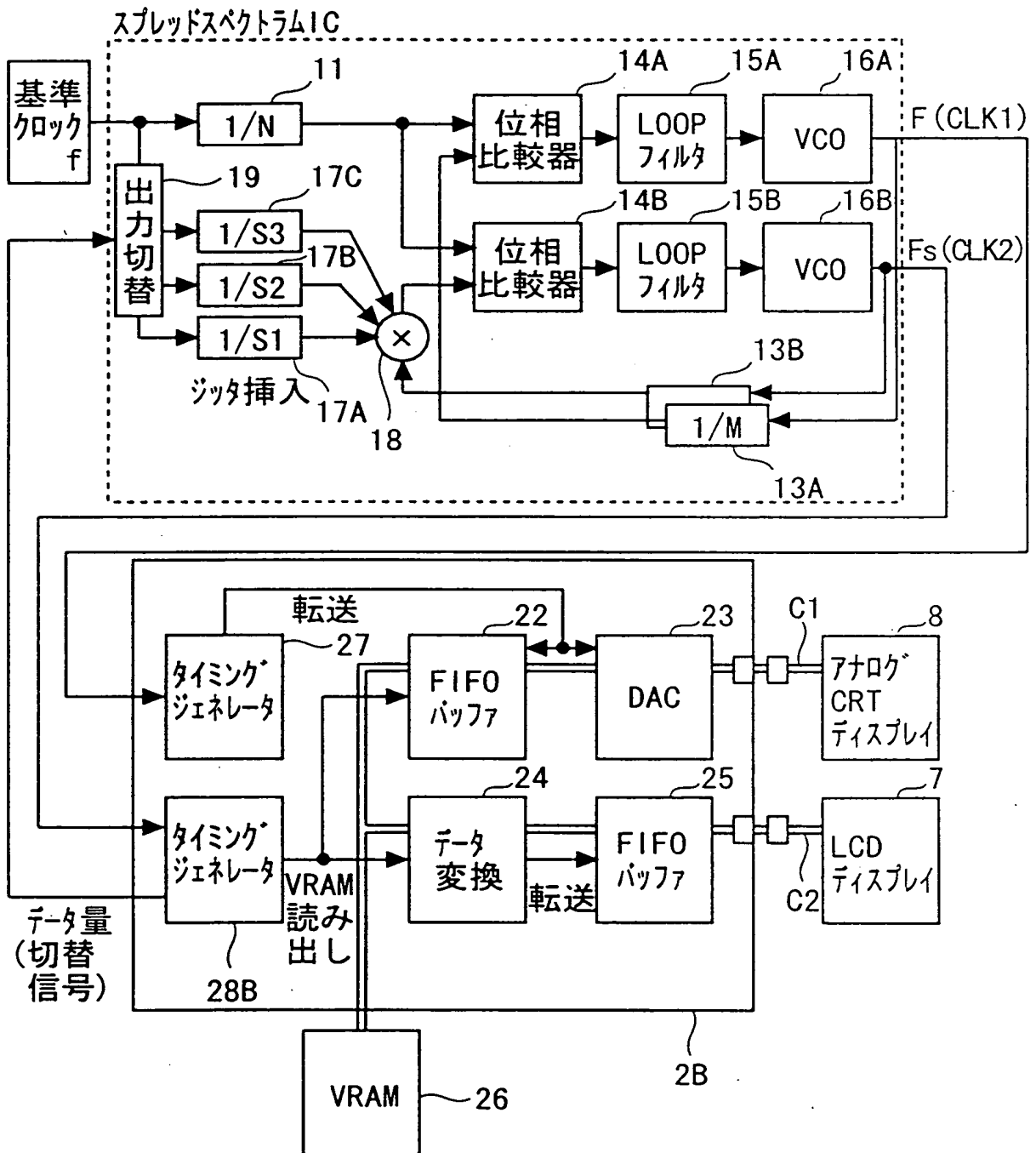
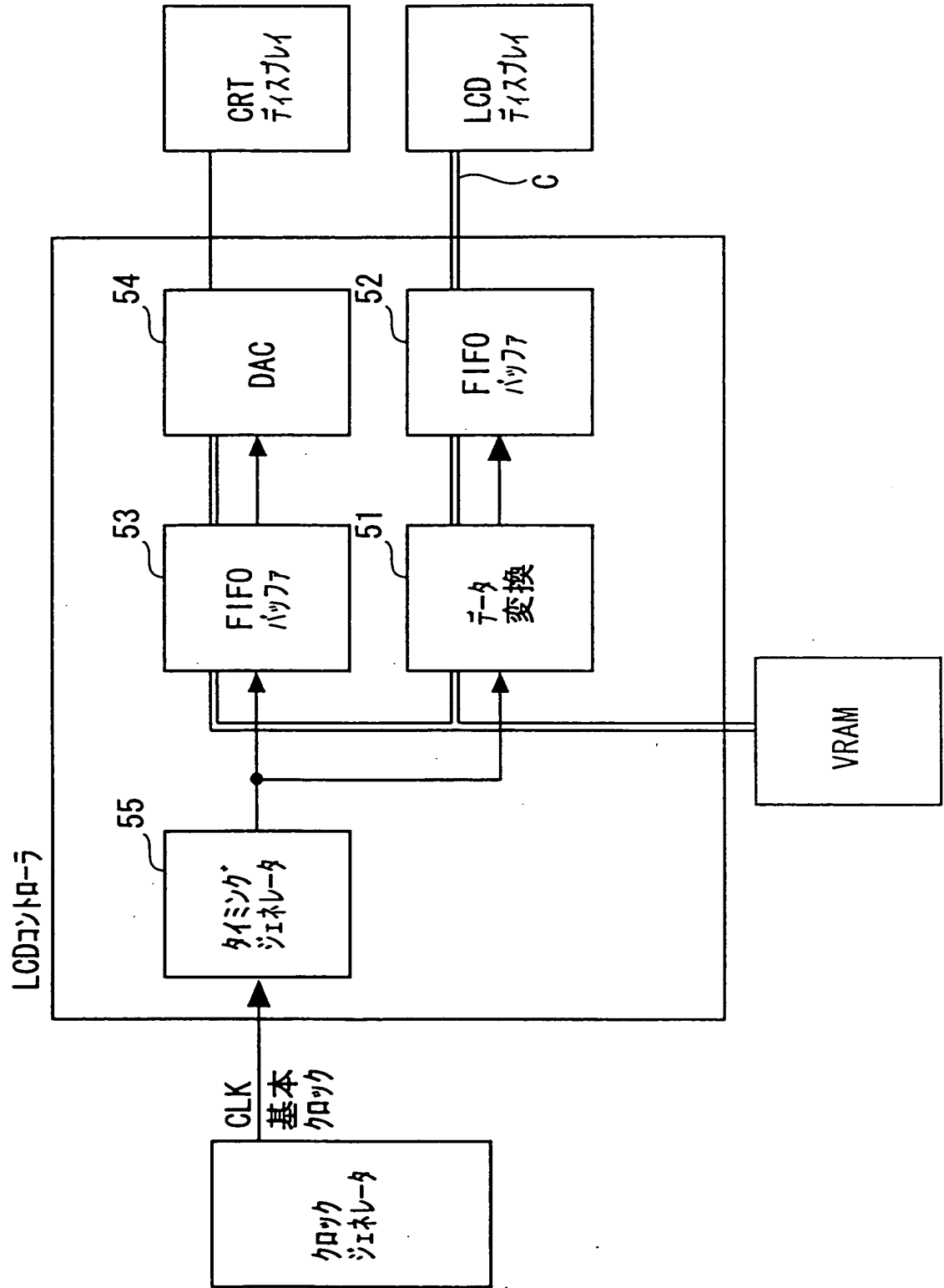


FIG. 7



8/8

FIG. 8

